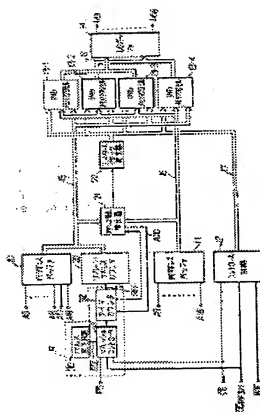


SEMICONDUCTOR STORAGE DEVICE

Patent number: JP63206994
 Publication date: 1988-08-26
 Inventor: UESUGI MASARU; others: 01
 Applicant: OKI ELECTRIC IND CO LTD
 Classification:
 - International: G11C11/34
 - european:
 Application number: JP19870039513 19870223
 Priority number(s):

Abstract of JP63206994

PURPOSE: To cope with the difference of refresh time caused by the bit variance by realizing the switch between the external control refresh and the internal control refresh via an external input.
CONSTITUTION: A refresh mode set by the external control is selected by a refresh controller 31 and the original refresh time of a chip is monitored by a memory tester, etc. Then the optimum value obtained from said monitored value is set at a timer counter 32 in terms of time. Thus the refresh time needed for the chip is set and therefore programmed. Then the controller 31 selects a refresh mode set by the internal control and a semiconductor memory device is actuated. Thus it is possible to cope with the difference of refresh time and to perform a refresh action in an optimum refresh cycle.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A)

昭63-206994

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988) 8月26日

G 11 C 11/34

3 6 3

M-8522-5B

審査請求 未請求 発明の数 1 (全12頁)

⑮ 発明の名称 半導体メモリ装置

⑯ 特 願 昭62-39513

⑰ 出 願 昭62(1987) 2月23日

⑱ 発 明 者 上 杉 勝
 ⑱ 発 明 者 吉 岡 重 実
 ⑲ 出 願 人 沖電気工業株式会社
 ⑳ 代 理 人 弁理士 柿 本 恭 成

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 東京都港区虎ノ門1丁目7番12号

明 細 書

1. 発明の名称

半導体メモリ装置

2. 特許請求の範囲

ダイナミック型メモリセルに対するメモリ動作とは非同期に内部リフレッシュ信号を発生してそのメモリセルをリフレッシュさせる内部リフレッシュ回路を有する半導体メモリ装置において、前記内部リフレッシュ回路は、

外部制御によるリフレッシュモードと内部制御によるリフレッシュモードとのいずれかを外部入力により選択するリフレッシュコントローラと、

外部の要求により設定された時間間隔で前記内部リフレッシュ信号を出力するタイマカウンタとを備えたことを特徴とする半導体メモリ装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ダイナミック型メモリセルを有する半導体メモリ装置、特に外部制御によるリフレッシュモードと内部制御によるリフレッシュモードとの切換方式に関するものである。

(従来の技術)

半導体メモリ装置のうち、随時読み書き可能なメモリ(以下、RAM という)としてスタティック型RAM (以下、SRAM という)とダイナミック型RAM (以下、DRAM という)とがある。DRAMはSRAMと異なり、メモリセルに記憶されたデータを放置しておけば、その記憶データを失なうという性質があるが、SRAMに比べて1メモリセルの構成素子数が少ないため、集積回路化する場合、1メモリセルの占有面積がSRAMに比べて小さいので高集積化に向き、大容量のメモリとして広く用いられている。DRAMは一定時間ごとにメモリセルへ再書き込み(すなわち、リフレッシュ)を行う必要があるが、このリフレッシュ操作を簡単化してSRAMと同様な使用法が可能となるように種々の提案がなされている。

従来、この種の技術としては、①ダイジェスト オブ テクニカル ペーパーズ (DIGEST OF TECHNICAL PAPERS)、(1986-2-21) アイイーイー インターナショナル ソリッド ステイト サーキットズ コンファレンス (IEEE International Solid-State Circuits Conference) (米)「ア ウンメガビットパーチャアライ エスラム (A 1Mb Virtually SRAM)」P.252-253、及び②ダイジェスト オブ テクニカル ペーパーズ (DIGEST OF TECHNICAL PAPERS)、アイイーイーイー シンポジウム オン ブイエエルエスアイ テクノロジー (IEEE SYMPOSIUM ON VLSI TECHNOLOGY) (米)「セルフ・アラインド リフレッシュ スキームフォー ブイエエルエスアイ インテリジェント ダイナミック ラムズ (Self-Aligned Refresh Scheme for VLSI Intelligent Dynamic RAMs)」P.85-86、に記載されるものがあつた。以下、その構成を図を用いて説明する。

第2図は前記文獻①に記載された従来の半導体

メモリ装置 (DRAM) の概略構成図である。

このDRAMは、集積回路上で、DRAMセルにのみ必要な記憶情報の更新のためのリフレッシュ動作を行わせることにより、チップ外部からはSRAMとして使用できるようにした回路で、VSRAM(VIRTUALLY SRAM)といわれている。

VSRAMは、DRAMメモリセル群及びデコード等を有するメモリマクロセル1、行アドレスA0~A8、A17、A18を入力する行アドレスバッファ2、列アドレスA9~A16を入力する列アドレスバッファ3、リフレッシュタイマ等を有し内部リフレッシュ信号を出力する内部リフレッシュ回路4、及び内部リフレッシュ信号によりリフレッシュ用のアドレスを生成するリフレッシュアドレスカウンタ5を備え、行アドレスバッファ2の出力とリフレッシュアドレスカウンタ5の出力とのいずれか一方が選択回路6により選択されてメモリマクロセル1に接続される。またメモリマクロセル1には、そのメモリセルに対するデータの入力および情報の出力を行う入出力バッファ7が接続されている。

以上の構成において、行アドレスバッファ2から入力された行アドレスA0~A8、A17、A18が選択回路6を通してメモリマクロセル1に供給され、さらにそのメモリマクロセル1に列アドレスバッファ3を介して列アドレスA9~A16が入力されると、その行アドレスA0~A8、A17、A18及び列アドレスA9~A16はメモリマクロセル1内で解読されそのメモリマクロセル1内のメモリセルが選択される。この選択されたメモリセルは、図示しないコントロール回路によりデータの読み出し、または書き込みかが指定され、読み出しの場合にはそのメモリセルに格納されたデータが読み出されて入出力バッファ7を通して出力され、書き込みの場合には入出力バッファ7を通して入力されるデータをそのメモリセルに格納する。

内部リフレッシュ回路4は内部リフレッシュ信号を一定の周期で出力し、リフレッシュアドレスカウンタ5に与える。リフレッシュアドレスカウンタ5はリフレッシュ用のアドレスを生成し、そのアドレスを選択回路6を通してメモリマクロセル

1へ供給する。すると、メモリマクロセル1ではリフレッシュ用のアドレスを解読し、その解読結果に基づきメモリセルを選択し、そのメモリセルに対してリフレッシュを行う。

ここで、メモリアクセス動作とリフレッシュ動作とは完全に非同期で行われる。そのため、メモリアクセス動作の命令とリフレッシュ動作の命令とが同時にメモリセルに要求されることがある。このような場合、リフレッシュ動作はメモリデータ保持の必要条件なので、チップ内部において選択回路6によりリフレッシュアドレスカウンタ5の出力を選択させてその出力をメモリマクロセル1に与え、リフレッシュ動作を優先させ、しかる後、選択回路6により行アドレスバッファ2の出力をメモリマクロセル1に与えて通常のメモリアクセスを行うようにしている。チップ内部では通常のメモリアクセス動作とリフレッシュ動作の組合せ時、1回のメモリアクセスに対し、リフレッシュアクセスと本来のメモリアクセスとの2回のアクセスが行われることにより、それによって完全

なりリフレッシュが行われる代りに、本来のメモリアクセスタイムが内部リフレッシュ分遅れることになる。

また、リフレッシュ動作の周期は内部リフレッシュ回路4から出力される内部リフレッシュ信号により決定されるが、それを決定するためにはメモリセルに対するデータ保持時間をテストし、最もデータ保持時間の短いメモリセルを基準として一定のリフレッシュ周期を決定していた。ところが、温度変化等によってメモリセルのデータ保持時間が変化するため、種々の条件でのデータ保持時間のテストが必要になるばかりか、十分に余裕をもたせるためにリフレッシュ周期を短かめの時間に設定せざるを得なかった。そのため、テストに要するコストが高くなり、さらにリフレッシュ周期が短いために消費電力が増大するという欠点があった。

そこで、この欠点を除去するために上記文献②では、内部リフレッシュ信号の周期を決定する方法として、内部リフレッシュ回路4内に、チップ

内部のメモリセルリフレッシュ特性を示すモニタセルと、そのモニタセルのリーク状態を検出するリークセンサとを設け、そのリークセンサによってモニタセルのデータ保持時間をモニタし、チップ内部のリフレッシュ周期を自動的に決定している。このようにリフレッシュ周期を自動的に自己整合(self align)することにより、リフレッシュ動作により消費される電力の削減と、リフレッシュホールドタイムのテストに要するコストの削減を図っている。

(発明が解決しようとする問題点)

しかしながら、上記文献②の技術では、高密度メモリの場合、リフレッシュ特性そのものをモニタすることは可能であっても、各ビットのメモリセルのばらつきにより生ずるリフレッシュ時間のばらつきをモニタし、そのリフレッシュ時間の最小値を基準にしてリフレッシュ周期を決定しようとしても、その時間内に、全ビットのメモリセルを1つのモニタセルとみてその全体的な電圧低下をリークセンサで検出して強制的にリフレッシュ

を行ってしまうため、前記のようなリフレッシュ時間のばらつきまでモニタすることができなかった。すなわち、ビットばらつきによるリフレッシュ時間の違いに対応してリフレッシュ周期を最適値に変更することができなかった。

本発明は前記従来技術が持っていた問題点として、ビットばらつきによるリフレッシュ時間の違いに対応してリフレッシュ周期を最適値に変更することができない点について解決した半導体メモリ装置を提供するものである。

(問題点を解決するための手段)

本発明は前記問題点を解決するために、DRAMメモリセルに対するメモリ動作とは非同期に内部リフレッシュ信号を発生してそのメモリセルをリフレッシュさせる内部リフレッシュ回路を有する半導体メモリ装置において、前記内部リフレッシュ回路は、外部制御によるリフレッシュモードと内部制御によるリフレッシュモードとのいずれかを外部入力により選択するリフレッシュコントローラと、外部の要求により設定された時間間隔で前

記内部リフレッシュ信号を出力するタイマカウンタとを備えたものである。

(作 用)

本発明によれば、以上のように半導体メモリ装置を構成したので、リフレッシュコントローラにより外部制御によるリフレッシュモードを選択し、チップの本来のリフレッシュ時間をメモリテスト等でモニタし、そのモニタ値から得られる最適値をタイマカウンタに時間設定することによってチップに必要なリフレッシュ時間をプログラムする。しかる後、リフレッシュコントローラにより、内部制御によるリフレッシュモードを選択し、半導体メモリ装置を動作させれば、ビットばらつきによるリフレッシュ時間の違いに対応した最適なりフレッシュ周期でリフレッシュ動作が行える。従って前記問題点を除去できるのである。

(実施例)

第1図は本発明の実施例を示す半導体メモリ装置の構成ブロック図である。

この半導体メモリ装置はVSRAM型の装置であり、

例えば行アドレスA0～A8、A17、A18を入力する行アドレスバッファ10、例えば列アドレスA9～A16を入力する列アドレスバッファ11、コントロール回路12、例えば1メガビット(1Mb)の容量をもち4個並列に配列されたメモリマクロセル13-1～13-4、及び入出力バッファ(以下、I/O バッファという)14を備えている。行アドレスバッファ10は行アドレスバス15を介して各メモリマクロセル13-1～13-4に接続され、同じく列アドレスバッファ11は列アドレスバス16を介して各メモリマクロセル13-1～13-4に接続されている。コントロール回路12はコントロールバス17を介して各メモリマクロセル13-1～13-4に接続され、チップセレクト信号 \overline{CS} によりメモリマクロセル13-1～13-4の1つを選択し、読み出し信号/外部リフレッシュ信号 $\overline{OE}/RFSH$ により各メモリマクロセル13-1～13-4に対するデータの読み出しあるいは外部からのリフレッシュ動作の制御を行い、さらに書き込み信号 \overline{WE} により各メモリマクロセル13-1～13-4に対するデータの書き込みを制御するための回路

ここで、内部リフレッシュ回路19はメモリ動作とは非同期に内部リフレッシュ信号REFを発生しメモリセルをリフレッシュさせるための回路であり、パルス発生回路30、リフレッシュコントローラ31、及びタイマカウンタ32を備えている。パルス発生回路30は、各メモリマクロセル13-1～13-4とは非同期で動作し、所定周期のパルス信号 \overline{OS} を生成してそれをリフレッシュコントローラ31に供給する回路である。リフレッシュコントローラ31は、パルス信号 \overline{OS} で、チップセレクト信号 \overline{CS} 、読み出し信号/外部リフレッシュ信号 $\overline{OE}/RFSH$ 、及び外部信号 \overline{PDS} が入力され、その外部信号 \overline{PDS} により、外部制御によるリフレッシュモード(以下、外部制御リフレッシュモードという)か、あるいは内部制御によるリフレッシュモード(以下、内部制御リフレッシュモードという)かの選択を行う回路である。タイマカウンタ32は、リフレッシュコントローラ31の出力に基づき \overline{OS} を計数して内部リフレッシュ信号REFを生成し、それをリフレッシュアドレスカウンタ20に

である。各メモリマクロセル13-1～13-4は、通常のRAMで構成されており、ノーマルワードラインとビットラインに接続された1MbのRAMメモリセル、リフレッシュワードライン、及びデコーダ等をそれぞれ有し、入出力バス(以下、I/Oバスという)18を介してI/Oバッファ14に接続されている。I/Oバッファ14は例えば8つの入出力信号I/O 1～I/O 8の増幅とレベル変換を行う回路である。

また第1図には、内部リフレッシュ回路19が設けられ、その内部リフレッシュ回路19の出力側がリフレッシュアドレスカウンタ20の入力側に接続され、リフレッシュアドレスカウンタ20の出力側が行アドレスバス15に接続されている。さらに行アドレスバス15及び列アドレスバス16にはアドレス変化検出器21の入力側に接続され、そのアドレス変化検出器21の出力側がコントロールクロック発生器22の入力側に接続され、そのコントロールクロック発生器22の出力側が各メモリマクロセル13-1～13-4に接続されている。

与える回路である。このタイマカウンタ32はアドレス変化検出器21の出力信号ATDに基づき、内部制御リフレッシュモード時においてリフレッシュ動作とノーマル動作とが重なった場合に、どちらを先に行うかの判定を行う機能を有している。

リフレッシュアドレスカウンタ20は、タイマカウンタ32からの内部アドレス信号REFに基づきリフレッシュアドレスを生成し、それを行アドレスバス15を通して各メモリマクロセル13-1～13-4及びアドレス変化検出器21に供給する回路である。アドレス変化検出器21は、タイマカウンタ32の出力に基づき行アドレスバス15及び列アドレスバス16上のアドレスの変化を検出し、出力信号ATDをタイマカウンタ32及びコントロールクロック発生器22に与えてメモリマクロセル13-1～13-4のリフレッシュ動作を行わせる回路である。コントロールクロック発生器22は、アドレス変化検出器21の出力に基づきクロック信号を生成し、それを各メモリマクロセル13-1～13-2に供給する回路である。

第3図は第1図中のパルス発生回路30の一構成

例を示す回路図である。このパルス発生回路30は任意の周波数のパルス信号 $\overline{\text{OSD}}$ で出力できる回路構成になっており、リングオシレータ等の発振器40を有し、その発振器40の出力側に複数個の分周回路41-1~41-3が縦続接続されている。また、低レベル(以下、“L”という)の外部信号 $\overline{\text{P}}\overline{\text{S}}$ を入力する端子42-1、及び高レベル(以下、“H”という)の信号が供給されレーザや過電流等によって切断可能な端子42-2~42-4が設けられている。発振器40の出力側と端子42-1は否定論理とゲート(以下、NOR という)43-1の入力側に接続され、分周回路41-1の出力側と端子42-2はNOR43-2の入力側に、分周回路41-2の出力側と端子42-3はNOR43-3の入力側に、さらに分周回路41-3の出力側と端子42-4はNOR43-4の入力側にそれぞれ接続されている。各NOR43-1~43-4の出力側はNOR44の入力側に接続され、そのNOR44の出力側からパルス信号 $\overline{\text{OSD}}$ で出力される構成になっている。

このパルス発生回路30において、各NOR42-2~43-4の一方の入力が“H”の間は、発振器40の出

力がNOR43-1、44を通してパルス信号 $\overline{\text{OSD}}$ で出力される。例えば、端子42-4の部分がレーザや過電流等により切断されると、NOR43-4に対して“H”の入力がなくなり、分周回路41-3の出力がそのNOR43-4及びNOR44を通してパルス信号 $\overline{\text{OSD}}$ で出力される。そのため、得たい周波数に対応する端子42-2~42-4部分を切断することにより、パルス信号 $\overline{\text{OSD}}$ の周波数をプログラムすることが可能となる。なお、外部信号 $\overline{\text{P}}\overline{\text{S}}$ が供給される端子42-1を例えば外部引出し用のボンディングパッドにしておけば、プローブによるテスト時においてそのプローブの出力を“H”または“L”に変化させることにより、その端子42-1のレベルを選択することができる。テスト後はその端子42-1を大地または電源に接続することにより、その端子レベルの“L”または“H”の選択が可能となる。

第4図は第1図中のリフレッシュコントローラ31及びタイマカウンタ32の一構成例を示す回路図である。

リフレッシュコントローラ31は、インバータ50、51、52、53、否定論理ゲート(以下、NANDという)54、55、56、57、NOR58、及び遅延回路59を有している。外部信号 $\overline{\text{P}}\overline{\text{S}}$ はインバータ51で反転され、NAND55で読み出し信号/外部リフレッシュ信号 $\overline{\text{OE}}/\overline{\text{RFSH}}$ との否定論理積がとられ、さらにNAND56でパルス信号 $\overline{\text{OSD}}$ との否定論理積がとられた後、タイマカウンタ32へ入力される。読み出し信号/外部リフレッシュ信号 $\overline{\text{OE}}/\overline{\text{RFSH}}$ はインバータ50で反転され、NAND54でチップセレクト信号 $\overline{\text{CS}}$ との論理積がとられ、さらにNOR58で外部信号 $\overline{\text{P}}\overline{\text{S}}$ との否定論理積がとられた後、ノードN58に出力される。ノードN58の信号は遅延回路59で遅延し、インバータ52で反転された後、NAND57によって該ノードN58の信号との否定論理積がとられる。NAND57の出力はインバータ53で反転され、ノードN53に出力されてタイマカウンタ32に供給される構成になっている。

タイマカウンタ32は、端子D、CK、S、Q、 $\overline{\text{Q}}$ をもつ6個の遅延型フリップフロップ(以下、FF

という)60-1~60-6、10個のインバータ61~70、8個のNAND71~78、2個のNOR79、80、及び遅延回路81を有している。1段目のFF60-1はその端子CKがリフレッシュコントローラ31におけるNAND56の出力側に接続され、その端子Dと $\overline{\text{Q}}$ が共通接続され、その端子SがノードN72を介してNAND72の出力側に接続され、その端子Qが2段目FF60-2の端子CKに接続されている。以下同様に、2段目FF60-2から6段目FF60-6まで縦続接続されている。リフレッシュコントローラ31におけるノードN58の信号はインバータ61で反転されると共に、パルス信号 $\overline{\text{OSD}}$ はインバータ62で反転され、それらのインバータ61、62の出力がNAND71により否定論理積がとられた後、ノード71に出力されNAND72に与えられる。

5段目FF60-5における端子Qの信号はノードN60に出力され、インバータ63で反転され、NAND73によりアドレス変化検出器21の出力信号ATDとの否定論理積がとられた後、ノードN73に出力されてNAND72に与えられる。6段目FF60-6に

おける端子Qの信号はインバータ68で反転されてノードN68に出力され、NAND75によりノードN60の信号との否定論理積がとられてノードN75に出力され、さらにインバータ67で反転された後、ノードN67に出力されてNOR79に与えられる。一方、ノードN68の信号は、NOR80によりノードN60の信号との否定論理積がとられてノードN80に出力され、NAND76によりアドレス変化検出器20の出力信号との否定論理積がとられた後、NAND77、78からなるフリップフロップに入力される。

そのフリップフロップの出力は、インバータ69、70を通してノードN70に出力され、NOR79に与えられる。NOR79はノードN53、N67、N70の信号の否定論理積をとる。そのNOR79の出力はインバータ66で反転され、NAND74により、チップ内部で発生するパワーオン時のイニシャルセット信号 $\overline{\text{TN}}\overline{\text{T}}$ との否定論理積がとられ、さらにインバータ65で反転された後、内部リフレッシュ信号REFとして出力されて、第1図のリフレッシュアドレスカウンタ20に与えられる。この内部リフレッシュ

内部リフレッシュ信号REFも“L”に初期化される。信号 $\overline{\text{OE}}/\text{RFSH}$ が“H”なので、ノードN72が“H”で、各FF60-1~60-6はリセット状態になっている。信号 $\overline{\text{OE}}/\text{RFSH}$ が“H”から“L”になると、ノードN58、N53が“H”になり、遅延回路59の遅延で、ノードN53は“H”から“L”になる。ノードN58は信号 $\overline{\text{OE}}/\text{RFSH}$ に同期して“H”から“L”になる。また外部信号 $\overline{\text{PS}}\overline{\text{S}}$ が“L”だと、NAND55がイネーブルとなり、信号 $\overline{\text{OE}}/\text{RFSH}$ が“L”になってパルス信号 $\overline{\text{OS}}\overline{\text{S}}$ が1段目FF60-1の端子CKに入力する。FF60-5、60-6の状態が確定するまでの時間より信号 $\overline{\text{OE}}/\text{RFSH}$ が“L”になっている時間が十分短いという条件では、FF60-5、60-6の出力は、FF60-5の端子Qに接続されたノードN60が“H”、FF60-6の端子Q及びインバータ68に接続されたノードN68が“L”のままなので、NOR79がノードN53の状態だけで決定する。従って内部リフレッシュ信号REFは、ノードN53に同期してインバータ65から出力される。信号 $\overline{\text{OE}}/\text{RFSH}$ が“L”から“H”になると、

信号REFは遅延回路81で遅延し、インバータ64で反転された後、ノードN64に出力されてNAND72、78に与えられる。NAND72ではノードN64、N71、N73の信号の否定論理積をとり、その出力信号をノードN72に出力して各FF60-1~60-6の端子Sに供給する構成になっている。

以上のように構成される半導体メモリ装置の動作を(1)外部制御リフレッシュ時と、(2)内部制御リフレッシュ時とに分け、第5図~第9図を参照しつつ説明する。なお、第5図~第9図は、第1図、第3図及び第4図の動作を説明するためのタイミングチャートであり、それらの図面中、M、H+1は外部アドレス、N、N+1、N+2はリフレッシュアドレスを表わしている。

(1) 外部制御リフレッシュ時(“ $\overline{\text{PS}}\overline{\text{S}}$ ”=“L”)

(i) 外部の読み出し信号/外部リフレッシュ信号 $\overline{\text{OE}}/\text{RFSH}$ でリフレッシュサイクルを決定する場合(第5図)

第4図のイニシャルセット信号 $\overline{\text{TN}}\overline{\text{T}}$ が“L”から“H”になることで、NAND77がイネーブル、

NAND56はディスエーブルとなり、パルス信号 $\overline{\text{OS}}\overline{\text{S}}$ では1段目FF60-1に入力せずノードN71も“L”になるので、FF60-1~60-6は初期状態となる。内部リフレッシュ信号REFの立上りと立下りで、第1図のアドレス変化検出器21が出力し、その最初の出力信号ATDの出力を受けてメモリマクロセル13-1~13-4のリフレッシュワードラインが立上り、リフレッシュアドレスカウンタ20で選定されたリフレッシュアドレスNのリフレッシュを行う。リフレッシュ終了後、リフレッシュアドレスはリフレッシュアドレスカウンタによりN+1にカウントアップされる。また次のアドレス変化検出器21の出力信号ATDの立上りにより、メモリマクロセル13-1~13-4のノーマルワードラインが立上り、アドレスA0~A18における外部アドレスMのリフレッシュを行う。この場合のリフレッシュサイクルは信号 $\overline{\text{OE}}/\text{RFSH}$ のサイクルとなる。

(ii) 外部の読み出し信号/外部リフレッシュ信号 $\overline{\text{OE}}/\text{RFSH}$ とタイマカウンタ32でリフレッシュを制御する場合(第6図)

この場合は信号 $\overline{OE}/RFSH$ でリフレッシュサイクルを決定するのではなく、パルス信号 \overline{OS} を入力とするタイマカウンタ32中のFF60-1~60-6でリフレッシュサイクルを決定する場合である。

信号 $\overline{OE}/RFSH$ の立下り時は、第5図と同様にノードN58が“H”となるが、信号 $\overline{OE}/RFSH$ が“L”のままなのでノードN58も“H”を保持する。ノードN58が“H”になったのを受けてノードN53が“H”になり、遅延回路59による遅延を受けてそのノードN53が“L”となることで、第5図と同様にリフレッシュアドレスNのリフレッシュと外部アドレスMのリフレッシュを行う。また、内部リフレッシュ信号REFが反転されたノードN64上の信号は、遅延回路81により遅延を受けて第6図のようになり、そのノードN64が“L”の間、ノードN72が“H”となるのでFF60-1~60-6はリセットされている。内部リフレッシュ信号REFが“L”となり、ノードN72が“L”になった時点から、FF60-1~60-6はセットされ、パルス信号 \overline{OS} を受けてそのFF60-1~60-6が動

きはじめる。

5段目FF60-5の出力側ノードN60及び6段目FF60-6の出力側ノードN68が“H”になった時、NAND75の出力側ノードN75が“L”となり、ノードN53、N70も“L”となっているので、内部リフレッシュ信号REFが“H”となる。その内部リフレッシュ信号REFは遅延回路81を通りノードN72が“H”になることで、FF60-1~60-6がリセットされ、ノードN60、N68はそれぞれ初期状態“L”、“H”となる。これにより内部リフレッシュ信号REFは“L”となる。ノードN72が“L”になった時点からFF60-1~60-6はセットされ、パルス信号 \overline{OS} を受けてFF60-1~60-6が動きはじめる。信号 $\overline{OE}/RFSH$ による内部リフレッシュ信号REFの立上りと立下り時、第1図のアドレス変化検出器21が出力してリフレッシュ動作を行うのと同様に、タイマカウンタ32から出力される内部リフレッシュ信号REFの立上りと立下り時、アドレス変化器21が出力し、リフレッシュアドレスM+1、外部アドレスMのリフレッシュを行う。ま

た、リフレッシュアドレスカウンタ19で生成されるリフレッシュアドレスは、リフレッシュアドレスM+1のリフレッシュ終了後、M+2にカウントアップされる。

(2) 内部制御リフレッシュ時(P \overline{S} = “H”)

なお、この場合は外部信号P \overline{S} が“H”なので、ノードN58、N53とともに“L”に固定され、読み出し信号/外部リフレッシュ信号 $\overline{OE}/RFSH$ による影響は受けない。

(i) リフレッシュのみを行う場合(第7図)

この場合は信号 $\overline{OE}/RFSH$ によるコントロールではなく、タイマカウンタ32のみでリフレッシュを行う場合である。動作は前記第6図のタイマカウンタ32によるリフレッシュと同じである。パルス信号 \overline{OS} によりタイマカウンタ32のFF60-1~60-6が動き、5段目FF60-5の出力側ノードN60と6段目FF60-6の出力側ノードN68が“H”になった時、内部リフレッシュ信号REFが出力される。内部リフレッシュ信号REFのリセットは、遅延回路81の遅延分までノードN72が“H”になり、その

信号REFが“L”にリセットされる。

(ii) ノーマルアクセスとリフレッシュ競合時

内部制御リフレッシュの場合、ノーマルアクセスとリフレッシュ動作は非同期に行われる。そこで、タイマカウンタ32のリフレッシュサイクルを2つの領域に分け、一方はノーマルアクセスを先行して行い、ノーマルアクセス終了後にリフレッシュを行う場合、他方はリフレッシュを先行し、リフレッシュ終了後にノーマルアクセスを行う場合に分けた。なお、第7図において、ノードN72が“L”になりFF60-1~60-6がリネーブルになったからそのFF60-5の出力側ノードN60が“L”になるまでの時間をノーマルアクセス優先領域、ノードN60が“L”から“H”になるまでの時間をリフレッシュ優先領域と指定した。また第1図のI/Oバッファ14の入出力信号I/O 1~I/O 8は、リフレッシュ動作中、ハイインピーダンス(以下、“H \overline{Z} ”)という状態になっている。

(iii) (a) ノーマルアクセス優先領域でノーマルアクセスリクエストがきた場合(第8図)

ノーマルアクセス優先領域で外部アドレスA0～A18が変化し、ノーマルアクセスリクエストがきた場合、そのアドレスの変化を受けて第1図のアドレス変化検出器21が立上り、その出力信号ATDがNAND76, 73に入力する。しかし、5段目FF60-5の出力側ノードN60が“H”なのでNOR80の出力側ノードN80が“L”となり、さらにインバータ63の出力が“L”なので、アドレス変化検出器21の出力信号ATDは内部リフレッシュ信号REFに対して無関係となり、その出力信号ATDがメモリアクセル13-1～13-4のノーマルワードラインを立上げ、ノーマルアクセスを実行する。この場合のリフレッシュは、前記第7図と同様に、ノードN60, N68が“H”になった時に行われる。

(H) (b) リフレッシュ優先領域でノーマルアクセスリクエストがきた場合(第9図)

リフレッシュ優先領域で外部アドレスA0～A18が変化し、ノーマルアクセスリクエストがきた場合、そのアドレスの変化を受けて第1図のアドレス変化検出器21が立上り、その出力信号ATDは

NAND76, 73に入力する。リフレッシュ優先領域ではノードN60, N68がともに“L”となって、NAND76がイネーブル状態にあるため、アドレス変化検出器21の出力信号ATDを受けて内部リフレッシュ信号REFが出力される。また、NAND73もイネーブル状態にあるため、出力信号ATDが“H”の間、FF60-1～60-6をリセットする。このリセットにより、ノーマルアクセスによるアドレス変化検出器21の立上り直後に内部リフレッシュ信号REFに対する出力信号ATDが立上らないようにしている。内部リフレッシュ信号REFは、遅延回路81の遅延分でリセットされる。この場合、ノーマルリクエストによる外部アドレスA0～A18の変化で立上った出力信号ATDにより、内部アクセス信号REFを出力し、まずリフレッシュアドレスNのリフレッシュを行う。次いで、内部リフレッシュ信号REFの立下りによって立上る出力信号ATDにより、外部アドレスMのノーマルアクセスを行う。

本実施例では、外部信号P₂を“L”にして外部制御リフレッシュモードに設定し、I/Oバッフ

ァ14の入出力信号I/O 1～I/O 8を用いてメモリテスト等でチップの本来のリフレッシュ時間をモニタすれば、メモリセル間のばらつきを測定できる。そしてデータ保持時間の最も短いメモリセルを基準にしてパルス発生回路30で生成されるパルス信号Φ_{SD}の周期を測定し、しかる後、内部制御リフレッシュモードに設定すれば、最適なリフレッシュ時間でメモリアクセル13-1～13-4をリフレッシュできる。また、データ保持時間の最も短いメモリセルが標準のデータ保持時間よりも長い場合、リフレッシュの時間間隔(インターバル)を長くすることができるため、低消費電力という効果も期待できる。

なお、本発明は図示の実施例に限定されず、例えばメモリのビット数を他の数にしたり、あるいは第1図の装置全体を他の回路構成に変形することも可能である。さらに、内部リフレッシュ回路19で生成される内部リフレッシュ信号REFの周波数をタイマカウンタ32側で変更可能なように、そのタイマカウンタ32を第4図と異なる回路で構成

することも可能である。
(発明の効果)

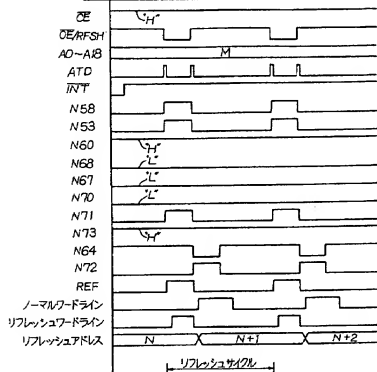
以上詳細に説明したように、本発明によれば、外部入力により外部制御リフレッシュと内部制御リフレッシュの切換えが行えるため、ビットばらつきによるリフレッシュ時間に完全に対応でき、内部制御リフレッシュ時のリフレッシュインターバルをチップのもつリフレッシュ時間にプログラムすることができ、それによって低消費電力化という効果も期待できる。

4. 図面の簡単な説明

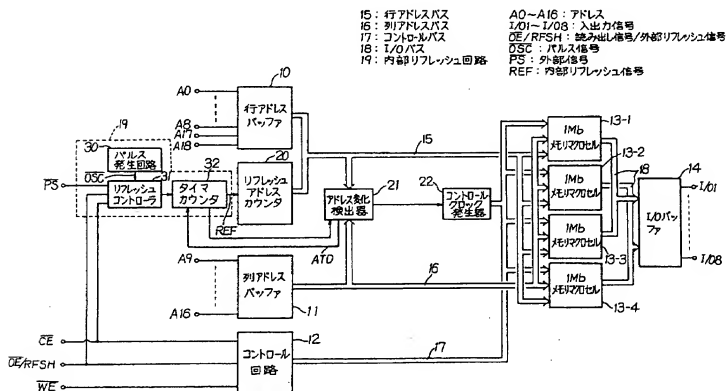
第1図は本発明の実施例を示す半導体メモリ装置の構成ブロック図、第2図は従来の半導体メモリ装置の概略構成図、第3図は第1図中のパルス発生回路の回路図、第4図は第1図中のリフレッシュコントローラ及びタイマカウンタの回路図、第5図、第6図、第7図、第8図及び第9図は第1図、第3図及び第4図の動作を示すタイミングチャートである。

10……行アドレスバッファ、11……列アドレス
 バッファ、12……コントロール回路、13-1~13-4
 ……メモリマクロセル、14……I/O バッファ、15
 ……行アドレスバス、16……列アドレスバス、17
 ……コントロールバス、18……I/O バス、19……
 内部リフレッシュ回路、20……リフレッシュアド
 レスカウンタ、21……アドレス変化検出器、22…
 ……コントロールクロック発生器、30……パルス発
 生回路、31……リフレッシュコントローラ、32…
 ……タイマカウンタ、A0~A16 ……アドレス、
 I/O 1~I/O 8……入力出力信号、OE/RFSH…
 ……読み出し信号/外部リフレッシュ信号、OS
 ……パルス信号、PS……外部信号、REF ……内
 部リフレッシュ信号。

出願人代理人 柳 本 森 成

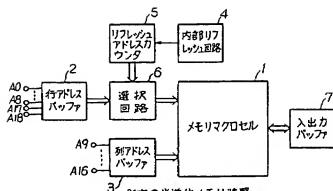


第1図、第3図及び第4図のタイミングチャート
 第5図

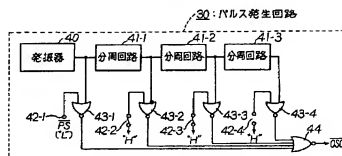


本発明の半導体メモリ装置

第1図

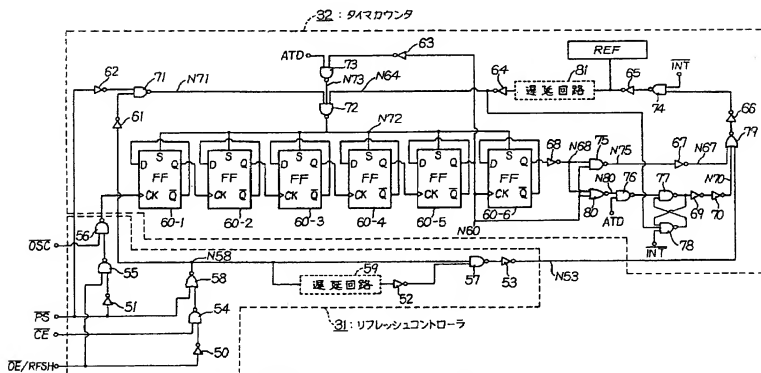


第 2 図



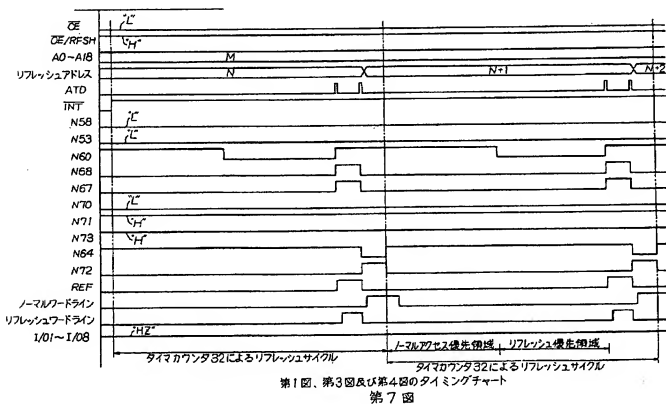
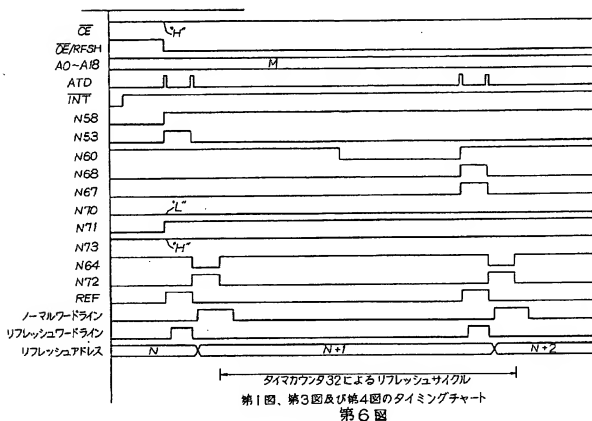
第 1 図中のパルス発生回路

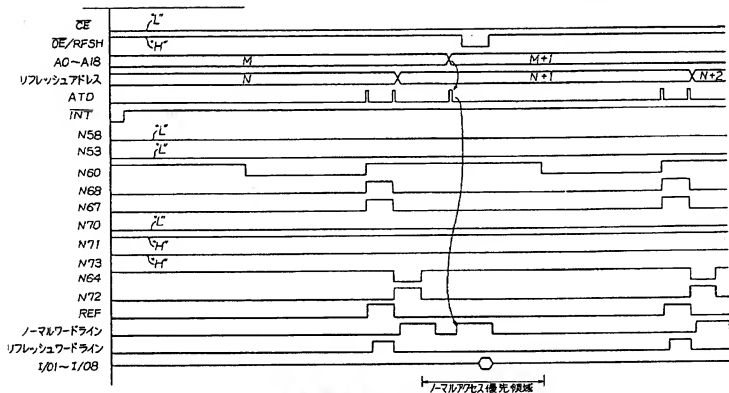
第 3 図



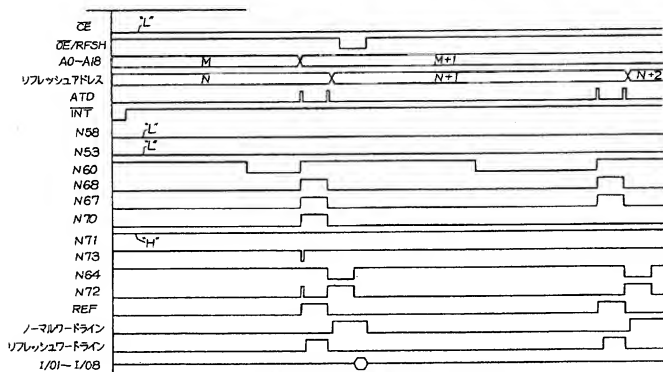
第 1 図中のリフレッシュコントローラ及びタイマカウンタ

第 4 図





第1図、第3図及び第4図のタイミングチャート
第8図



第1図、第3図及び第4図のタイミングチャート
第9図